

Searching PAJ

1/1 ページ

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-098407  
 (43)Date of publication of application : 07.04.2000

(51)Int.Cl.

G02F 1/1343  
 G09F 9/30

(21)Application number : 10-270350

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 24.09.1998

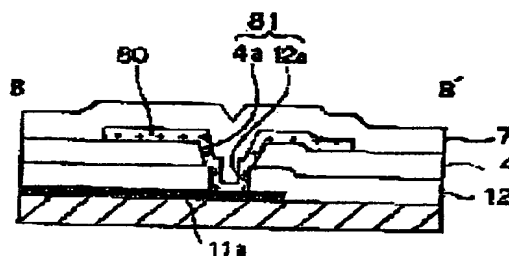
(72)Inventor : KANAI KIYOHKO

## (54) MANUFACTURE OF ELECTRO-OPTICAL DEVICE AND ELECTRO-OPTICAL DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method for an electro-optical device capable of certainly connecting light shielding film and constant potential wiring.

**SOLUTION:** This prepn. method consists of a step forming first insulation film 12 placed between light shielding film 11a and a layer composing of constant potential wiring 80, a step forming second insulation film 4 placed between the first insulation film 12 and the constant potential wiring 80, a step annealing the first and the second insulation films 12, 4, and a step forming a contact hole 81 passing through the annealed first and second insulation films 12, 4. Where an annealing temp. in the annealing step of the first and the second insulation films 12, 4 is specified at temp. higher than or equal to a film forming temp. of the second insulation film 4.



## LEGAL STATUS

[Date of request for examination] 24.01.2002  
 [Date of sending the examiner's decision of rejection] 24.09.2003  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection] 2003-20731  
 [Date of requesting appeal against examiner's decision of rejection] 24.10.2003  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-98407

(P2000-98407A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
G 0 2 F 1/1343		G 0 2 F 1/1343	2 H 0 9 2
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願平10-270350

(22) 出願日 平成10年9月24日 (1998.9.24)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 金井 清彦

長野県諏訪市大和9丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

井理士 鈴木 喜三郎 (外2名)

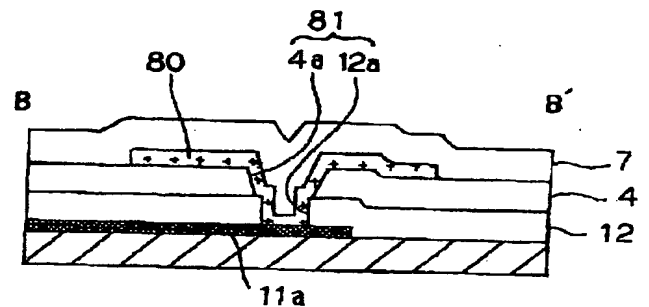
最終頁に続く

(54) 【発明の名称】 電気光学装置の製造方法及び電気光学装置

(57) 【要約】

【課題】 遮光膜と定電位配線とを確実に接続することができる電気光学装置の製造方法を提供する。

【解決手段】 遮光膜11aと定電位配線80を構成する層との間に位置する第1の絶縁膜12を成膜する工程と、第1の絶縁膜12と定電位配線と80の間に位置する第2の絶縁膜4を成膜する工程と、第1および第2の絶縁膜12, 4をアニールする工程と、アニールされた第1および第2の絶縁膜12, 4を貫通するコンタクトホール81を形成する工程とを備え、第1および第2の絶縁膜12, 4をアニールする工程のアニール温度を第2の絶縁膜4の成膜温度以上とする。



(2)

特開平12-098407

## 【特許請求の範囲】

【請求項1】 電気光学物質が封入される一対の基板のうちの一方の基板上に、

複数の画素電極と、前記複数の画素電極を夫々駆動する複数の薄膜トランジスタと、前記複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線および複数の走査線と、前記複数の薄膜トランジスタを構成する半導体層の少なくともチャネル領域を前記一方の基板の側から見て夫々覆う位置に設けられた遮光膜と、前記遮光膜とコンタクトホールを介して接続される定電位配線とを備える電気光学装置の製造方法において、前記遮光膜と前記定電位配線を構成する層との間に位置する第1の絶縁膜を成膜する工程と、

前記第1の絶縁膜と前記定電位配線との間に位置する第2の絶縁膜を成膜する工程と、

前記第1および第2の絶縁膜をアニールする工程と、

アニールされた前記第1および第2の絶縁膜を貫通する前記コンタクトホールを形成する工程とを備え、

前記第1および第2の絶縁膜をアニールする工程のアニール温度を前記第2の絶縁膜の成膜温度以上とすることを特徴とする電気光学装置の製造方法。

【請求項2】 前記アニールする工程において、アニール時間を前記第2の絶縁膜の成膜時間の1/2以上とすることを特徴とする請求項1に記載の電気光学装置の製造方法。

【請求項3】 電気光学物質が封入される一対の基板のうちの一方の基板上に、複数の画素電極と、前記複数の画素電極を夫々駆動する複数の薄膜トランジスタと、前記複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線および複数の走査線と、前記複数の薄膜トランジスタを構成する半導体層の少なくともチャネル領域を前記一方の基板の側から見て夫々覆う位置に設けられた遮光膜と、前記遮光膜とコンタクトホールを介して接続される定電位配線とを備える電気光学装置の製造方法において、

前記遮光膜と前記定電位配線を構成する層と間に位置する第1の絶縁膜を成膜する工程と、

前記第1の絶縁膜と前記定電位配線との間に位置する第2の絶縁膜を成膜する工程と、

前記第1および第2の絶縁膜をアニールする工程と、

アニールされた前記第1および第2の絶縁膜を貫通する前記コンタクトホールを形成する工程とを備え、

前記第1および第2の絶縁膜をアニールする工程のアニール温度を前記第2の絶縁膜の成膜温度以上とし、アニール時間を10分以上とすることを特徴とする電気光学装置の製造方法。

【請求項4】 前記第1の絶縁膜は、前記画素ごとに設けられたスイッチング素子の半導体層と前記遮光膜との間に配置される絶縁膜であることを特徴とする請求項1乃至請求項3のいずれか一項に記載の電気光学装置の製

造方法。

【請求項5】 前記第2の絶縁膜は、前記画素ごとに設けられたスイッチング素子を構成する層と前記スイッチング素子から引き出される配線との間に配置される絶縁膜であることを特徴とする請求項1乃至請求項3のいずれか一項に記載の電気光学装置の製造方法。

【請求項6】 前記コンタクトホールは前記画像表示領域の外側に配置されることを特徴とする請求項1乃至請求項5のいずれか一項に記載の電気光学装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下、TFTと称す。）の半導体層を遮光するための遮光膜と定電位配線とがコンタクトホールを介して互いに接続された電気光学装置の製造方法に関する。

## 【0002】

【従来の技術】電気光学装置がプロジェクタ等にライトバルブとして用いられる場合には一般に、液晶等の電気光学物質層を挟んでTFTアレイ基板に対向配置される対向基板の側から投射光が入射される。ここで、投射光が画素部のTFTのa-Si（アモルファスシリコン）膜やp-Si（ポリシリコン）膜等からなる半導体層のチャネル領域に入射すると、このチャネル領域において光電変換効果により光電流が発生してしまい、TFTのトランジスタ特性が劣化する。このため、対向基板には、各TFTに夫々対向する位置に、Cr（クロム）などの金属材料や樹脂ブラックなどからブラックマトリクス或いはブラックマスクと呼ばれる遮光膜が形成されるのが一般的である。この遮光膜は、各画素開口領域を規定することにより、TFTの半導体層に対する遮光の他に、コントラストの向上、色材の混色防止などの機能を果たしている。

【0003】更に、この種の電気光学装置においては、特にトップゲート構造（即ち、TFTアレイ基板上においてゲート電極がチャネルの上側に設けられた構造）を採る正スタガ型又はコプレーナ型のa-Si又はp-SiTFTを用いる場合には、投射光の一部がプロジェクタ内の投射光学系により戻り光として、TFTアレイ基板の側からTFTのチャネル領域に入射するのを防ぐ必要がある。同様に、投射光が通過する際のTFTアレイ基板の表面からの反射光や、更にカラー用に複数の電気光学装置を組み合わせて使用する場合の他の電気光学装置から出射した後に投射光学系を突き抜けてくる投射光の一部が、戻り光としてTFTアレイ基板の側からTFTのチャネル領域に入射するのを防ぐ必要もある。このために、特開平9-127497号公報、特公平3-52611号公報、特開平3-125123号公報、特開平8-171101号公報等では、石英基板等からなるTFTアレイ基板上においてTFTに対向する位置（即ち、TFTの下側）にも、例えば不透明な高融点金属か

(3)

特開平12-098407

ら遮光膜を形成した電気光学装置を提案している。

【0004】後者の遮光膜は基板と、その基板上の各画素に設けられたTFTの半導体層との間に配置されるとともに、例えば画像表示領域の外側で定電位配線に接続される。遮光膜を定電位配線に接続する部分はTFTと同時に作り込まれる都合上、複数の絶縁膜を貫通するコンタクトホールを介して遮光膜と定電位配線とが接続される構成が採られる場合がある。

【0005】

【発明が解決しようとする課題】しかし、複数の絶縁膜を貫通するコンタクトホールを形成するに際し、絶縁膜の材質等に起因してそのエッチング速度が大きく異なり、これによりコンタクトホールの形状異常が生じるおそれがある。このため遮光膜と定電位配線とが確実に接続できない場合がある。

【0006】本発明は、遮光膜と定電位配線とを確実に接続することができる電気光学装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の電気光学装置の製造方法は上記課題を解決するために、電気光学物質が封入される一対の基板のうちの一方の基板上に、複数の画素電極と、前記複数の画素電極を夫々駆動する複数の薄膜トランジスタと、前記複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線および複数の走査線と、前記複数の薄膜トランジスタを構成する半導体層の少なくともチャネル領域を前記一方の基板の側から見て夫々覆う位置に設けられた遮光膜と、前記遮光膜とコンタクトホールを介して接続される定電位配線とを備える電気光学装置の製造方法において、前記遮光膜と前記定電位配線を構成する層との間に位置する第1の絶縁膜を成膜する工程と、前記第1の絶縁膜と前記定電位配線との間に位置する第2の絶縁膜を成膜する工程と、前記第1および第2の絶縁膜をアニールする工程と、アニールされた前記第1および第2の絶縁膜を貫通する前記コンタクトホールを形成する工程とを備え、前記第1および第2の絶縁膜をアニールする工程のアニール温度を前記第2の絶縁膜の成膜温度以上とする。

【0008】本発明の電気光学装置の製造方法によれば、第1および第2の絶縁膜をアニールする工程におけるアニール温度を前記第2の絶縁膜の成膜温度以上とすることにより、第1および第2の絶縁膜のエッチング速度の差異が小さなものとなる。このため、第1および第2の絶縁膜を貫通するコンタクトホールを形成するに際し、コンタクトホールの形状異常が生じるおそれなくなり、したがって遮光膜と定電位配線とを確実に接続することができる。

【0009】本発明の電気光学装置の製造方法の一態様では、前記アニールする工程において、アニール時間を前記第2の絶縁膜の成膜時間の1/2以上とする。

【0010】この態様によれば、第1および第2の絶縁膜のエッチング速度の差異がさらに小さなものとなるため、コンタクトホールの形状がより良好なものとなり、したがって遮光膜と定電位配線とを確実に接続することができる。

【0011】本発明の電気光学装置の製造方法は上記課題を解決するために、電気光学物質が封入される一対の基板のうちの一方の基板上に、複数の画素電極と、前記複数の画素電極を夫々駆動する複数の薄膜トランジスタと、前記複数の薄膜トランジスタに夫々接続されており相交差する複数のデータ線および複数の走査線と、前記複数の薄膜トランジスタを構成する半導体層の少なくともチャネル領域を前記一方の基板の側から見て夫々覆う位置に設けられた遮光膜と、前記遮光膜とコンタクトホールを介して接続される定電位配線とを備える電気光学装置の製造方法において、前記遮光膜と前記定電位配線を構成する層と間に位置する第1の絶縁膜を成膜する工程と、前記第1の絶縁膜と前記定電位配線との間に位置する第2の絶縁膜を成膜する工程と、前記第1および第2の絶縁膜をアニールする工程と、アニールされた前記第1および第2の絶縁膜を貫通する前記コンタクトホールを形成する工程とを備え、前記第1および第2の絶縁膜をアニールする工程のアニール温度を前記第2の絶縁膜の成膜温度以上とし、アニール時間を10分以上とする。

【0012】本発明の電気光学装置の製造方法によれば、第1および第2の絶縁膜をアニールする工程におけるアニール時間を10分以上とすることにより、第1および第2の絶縁膜のエッチング速度の差異が小さなものとなる。このため、第1および第2の絶縁膜を貫通するコンタクトホールを形成するに際し、コンタクトホールの形状異常が生じるおそれなくなり、したがって遮光膜と定電位配線とを確実に接続することができる。

【0013】本発明の電気光学装置の製造方法の一態様では、前記第1の絶縁膜は、前記画素ごとに設けられたスイッチング素子の半導体層と前記遮光膜との間に配置される絶縁膜である。

【0014】本発明の電気光学装置の製造方法の一態様では、前記第2の絶縁膜は、前記画素ごとに設けられたスイッチング素子を構成する層と前記スイッチング素子から引き出される配線との間に配置される絶縁膜である。

【0015】本発明の電気光学装置の製造方法の一態様では、前記コンタクトホールは前記画像表示領域の外側に配置される。

【0016】なお、本発明の理解を容易にするために添付図面の参照符号を括弧書きにて付記するが、それにより本発明が図示の形態に限定されるものではない。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面

(4)

特開平12-098407

に基づいて説明する。

【0018】本発明による電気光学装置の第1実施形態の構成及び動作について、図1から図3を参照して説明する。図1は、電気光学装置の画面表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。

【0019】図1において、本実施の形態による電気光学装置の画面表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。電気光学物質は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの電気光学物質部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの電気光学物質部分を通過可能とされ、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される電気光学物質容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い電気光学装置が実現できる。

【0020】次に、電気光学装置の画像表示領域内における画素部の構成について図2及び図3を参照して説明する。図2は、データ線、走査線、画素電極、遮光膜等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0021】図2において、電気光学装置のTFTアレイ基板上には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5を介してポリシリコン膜等の半導体層1aのうち後述のソース領域に電気的に接続されており、画素電極9aは、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電気的に接続されている。また、半導体層1aのうち後述のチャンネル領域（図中右下りの斜線の領域）に対向するように走査線3aが配置されている。そして、図中右上りの斜線で示した領域に画素部における第1遮光膜11aが設けられている。即ち第1遮光膜11aは、画素部において、半導体層1aのチャンネル領域を含むTFTをTFTアレイ基板の側から見て各々覆う位置に設けられている。尚、第1遮光膜11aは、半導体層1aのチャンネル領域を覆えば、画素TFTにおける光リークの防止機能は発揮されるが、第1遮光膜11aを定電位にするための配線機能を持たせるためや画素部の開口領域（即ち、光が透過する領域）を規定するため等の理由から、本実施の形態では特に、第1遮光膜11aは、走査線3aに沿って線状に設けられている。

【0022】図3に示すように、電気光学装置は、透明な一方の基板の一例を構成するTFTアレイ基板10と、これに対向配置される透明な他方の基板の一例を構成する対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO膜（インジウム・ティン・オキサイド膜）などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0023】TFTアレイ基板10には、図3に示すように、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0024】他方、対向基板20には、その全面に渡って対向電極（共通電極）21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0025】対向基板20には、更に図3に示すように、各画素の開口領域以外の領域に第2遮光膜23が設けられている。このため、対向基板20の側から入射光が画素スイッチング用TFT30の半導体層1aのチャンネル領域1a'やLDD（Lightly Doped Drain）領域

(5)

特開平12-098407

1b及び1cに侵入することはない。更に、第2遮光膜23は、コントラストの向上、色材の混色防止などの機能を有する。

【0026】このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレ基板10と対向基板20との間には、後述のシール材52（図11および図12）により囲まれた空間に液晶等の電気光学物質が封入され、電気光学物質層50が形成される。電気光学物質層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22（図3参照）により所定の配向状態を採る。電気光学物質層50は、例えば一種又は数種類のネマティック電気光学物質を混合した電気光学物質からなる。シール材52は、二つの基板10及び20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のスペーサが混入されている。

【0027】図3に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレ基板10と各画素スイッチング用TFT30との間には、第1遮光膜11aが各々設けられている。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo、Pd及びSiのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFTアレ基板10上の第1遮光膜11aの形成工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようにできる。第1遮光膜11aが形成されているので、TFTアレ基板10の側からの戻り光等が画素スイッチング用TFT30のチャネル領域1a'やLDD領域1b、1cに入射する事態を未然に防ぐことができ、光電流の発生により画素スイッチング用TFT30の特性が劣化することはない。

【0028】更に、第1遮光膜11aと複数の画素スイッチング用TFT30との間には、第1層間絶縁膜12が設けられている。第1層間絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電気的絶縁するために設けられるものである。更に、第1層間絶縁膜12は、TFTアレ基板10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能を有する。即ち、TFTアレ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。第1層間絶縁膜12は、例えば、NSG（ノンドープトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン

膜、窒化シリコン膜等からなる。第1層間絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態を未然に防ぐこともできる。

【0029】本実施の形態では、ゲート電極3aと半導体層1aとの間に設けるゲート絶縁膜2を、ゲート電極3aに対向する位置から延設して誘電体膜として用い、半導体層1aを延設して第1蓄積容量電極1fとし、更にこれらに対向する容量線3bの一部を第2蓄積容量電極とすることにより、蓄積容量70が構成されている。より詳細には、半導体層1aの高濃度ドレイン領域1eが、データ線6a及び走査線3aの下に延設されて、同じくデータ線6a及び走査線3aに沿って延びる容量線3b部分に絶縁膜2を介して対向配置されて、第1蓄積容量電極1fとされている。特に蓄積容量70の誘電体としての絶縁膜2は、高温酸化によりポリシリコン膜上に形成されるTFT30のゲート絶縁膜2に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、蓄積容量70は比較的小面積で大容量の蓄積容量として構成できる。

【0030】図3において、画素スイッチング用TFT30は、LDD（Lightly Doped Drain）構造を有しており、走査線3a（ゲート電極）、走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a（ソース電極）、半導体層1aの低濃度ソース領域（ソース側LDD領域）1b及び低濃度ドレイン領域（ドレイン側LDD領域）1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが接続されている。ソース領域1b及び1d並びにドレイン領域1c及び1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用のドーパントをドーピングすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TFT30として用いられることが多い。本実施の形態では特にデータ線6aは、Al等の金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。また、走査線3a、ゲート絶縁膜2及び第1層間絶縁膜12の上には、高濃度ソース領域1dへ通じるコンタクトホール5及び高濃度ドレイン領域1eへ通じるコンタクトホール8が各々形成された第2層間絶縁膜4が形成されている。このソース領域1bへのコンタクトホール5を介して、データ線6aは高濃度ソース領域1dに電気的接続されている。更に、データ線6a及び第2層間絶縁膜4の上には、高濃度ドレイン領域1eへのコンタクトホール8が形成された第3層間絶縁膜7が形成されている。この高濃度ドレイン領域1eへのコンタクトホール8を介して、画素電極9aは

(6)

特開平12-098407

高濃度ドレイン領域1eに電氣的接続されている。前述の画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。

【0031】画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持つてよいし、ゲート電極3aをマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。

【0032】また本実施の形態では、画素スイッチング用TFT30のゲート電極（データ線3a）をソース・ドレイン領域1b及び1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）或いはトリプルゲート以上でTFTを構成すれば、チャネルとソース・ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0033】ここで、一般には、半導体層1aのチャネル領域1a'、低濃度ソース領域1b及び低濃度ドレイン領域1c等のポリシリコン層は、光が入射するとポリシリコンが有する光電変換効果により光電流が発生してしまい画素スイッチング用TFT30のトランジスタ特性が劣化するが、本実施の形態では、走査線3aを上側から重なるようにデータ線6aがA1等の遮光性の金属薄膜から形成されているので、少なくとも半導体層1aのチャネル領域1a'及びLDD領域1b、1cへの入射光の入射を効果的に防ぐことが出来る。また、前述のように、画素スイッチング用TFT30の下側には、第1遮光膜11aが設けられているので、少なくとも半導体層1aのチャネル領域1a'及びLDD領域1b、1cへの戻り光の入射を効果的に防ぐことが出来る。

【0034】尚、本実施の形態では特に、遮光膜11aは定電位配線80を介して定電位源に電氣的接続されており、第1遮光膜11aは、定電位とされる。従って、第1遮光膜11aに対向配置される画素スイッチング用TFT30に対し第1遮光膜11aの電位変動が悪影響を及ぼすことはない。この場合、定電位源としては、当該電気光学装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路、サンプリング回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極21に供給される定電位源等が挙げられる。このように周辺回路等の電源を利用すれば、専用の電位配線や外部入力端子を設ける必要なく、第1遮光膜11aを定電位にできる。

【0035】図4はTFTアレイ基板10の表示領域の外側に位置する第1遮光膜11aと定電位配線80との接続部の平面図、図5は図4のB-B'線断面図、図6は第1遮光膜11aおよび定電位配線80の配置関係を示す配置図である。

【0036】図6に示すように、第1遮光膜11aは走査線3aに沿って表示領域61の外側まで引き出され、表示領域と非表示領域とを仕切る領域（周辺見切り）用の遮光膜60の下層まで延設されている。また、走査線駆動回路104に低電位側の定電圧電源VSSYを供給する定電位配線80が表示領域61の外周に沿って遮光膜60の下層に延設されており、図4～図6に示すように、第1層間絶縁膜12および第2層間絶縁膜4を貫通するコンタクトホール81を介して第1遮光膜11aと定電位配線80とが電氣的に接続されている。このように第1遮光膜11aが定電圧電源VSSYを供給する定電位配線80に接続されているため、第1遮光膜11aはフローティング状態となることなく定電圧電源VSSYの電位に固定される。

【0037】次に、TFTアレイ基板10の製造方法について述べる。

【0038】まず、図7の工程（A）に示すように、ガラス基板、例えば無アルカリガラスや石英などからなる透明な絶縁基板10の表面全体にスパッタ法等によりタングステン、チタン、クロム、タンタル、モリブデン等の金属膜、あるいはこれらの金属を含む金属シリサイド等の金属合金膜等からなる不透明で導電性を有する遮光膜11を約500オングストローム～約3000オングストローム、好ましくは約1000オングストローム～約2000オングストロームの厚さに形成する。その後、フォトリソグラフィ技術を用いて、工程（B）に示すようにパターンニングし、第1遮光膜11aを形成する。この第1遮光膜11aは、少なくとも後に形成される画素スイッチング用のTFT30のチャネル領域1a、低濃度ソース・ドレイン領域1b、1c、および低濃度ソース・ドレイン領域1b、1cと高濃度ソース・ドレイン領域1d、1eとの接合部を絶縁基板10の裏側から見て覆うように形成する。このように形成した第1遮光膜11aのうち、画素スイッチング用TFT30のチャネル領域1aに対応して形成された部分がチャネル遮光部分であり、定電位配線80と接続するように形成された部分が配線部分である。

【0039】次に、図7の工程（C）に示すように、第1遮光膜11aの表面に、約500オングストローム～約1500オングストローム、好ましくは約800オングストロームの第1層間絶縁膜12を形成する。この第1層間絶縁膜12は、第1遮光膜11aと後に形成される半導体膜1とを絶縁するものであり、例えば常圧CVD法や減圧CVD法あるいはTEOSガス等を用いて酸化シリコン膜や窒化シリコン膜等の絶縁膜として形

(7)

特開平12-098407

成される。なお、第1層間絶縁膜12を絶縁基板10の全面に成膜することにより、下地膜としての効果が得られる。すなわち、絶縁基板10表面の研磨時における荒れや、不十分な洗浄による汚れ等から画素スイッチング用TFT30の特性劣化を防止することができる。

【0040】次に、図7の工程(D)に示すように、第1層間絶縁膜12の表面全体に、厚さが約500オングストローム～約2000オングストローム、好ましくは約550オングストロームのポリシリコン膜1Aを形成する。方法としては、基板10を約450℃～550℃、好ましくは500℃程度に加熱しながら、モノシランガスあるいはジシランガスを約400cc/min～約600cc/minの流量で供給し、圧力約20Pa～約40Paにて、アモルファスシリコン膜を形成する。この後、窒素雰囲気中にて、約600℃～約700℃にて約1時間～約72時間、好ましくは約4時間～約6時間のアニール処理を施し、固相成長させ、ポリシリコン膜1Aを形成する。ポリシリコン膜の厚さは400オングストローム～2000オングストローム、好ましくは400から600オングストロームにする。また、ポリシリコン膜1Aは減圧CVD法等により直接成膜してもよいし、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、アニール等で再結晶化させてポリシリコン膜1Aを形成してもよい。

【0041】次に、フォトリソグラフィ技術を用いて、図7の工程(E)に示すようにポリシリコン膜1Aをパターンニングし、画素スイッチング用TFT30に島状の半導体層1(能動層)を形成する。これに対して、定電位配線80との接続部分ではポリシリコン層1Aを完全に除去する。

【0042】次に、図7の工程(F)に示すように、半導体層1を約900℃～約1300℃の温度で熱酸化することにより、半導体層1の表面に厚さが約200オングストローム～約1500オングストロームのシリコン酸化膜からなるゲート絶縁膜2を形成する。この工程により、半導体層1の膜厚は最終的に約300オングストローム～約1500オングストローム、好ましくは約350オングストローム～約450オングストロームの厚さになり、ゲート絶縁膜2は約200オングストローム～約1500オングストロームの厚さとなる。なお、8インチ程度の大型基板を使用する場合、熱による基板10のそりを防止するためには、熱酸化時間を短くして熱酸化膜を薄くし、この熱酸化膜上に高温酸化シリコン膜(HTO膜)や窒化シリコン膜をCVD法等で堆積して2層以上の多層ゲート絶縁膜構造を形成してもよい。

【0043】次に、図8の工程(A)に示すように、走査線3a(ゲート電極)を形成するためのポリシリコン膜3を基板10全面に形成した後、リンを熱拡散し、ポリシリコン膜3を導電化する。または、リンをポリシリ

コン膜3の成膜と同時に導入したドーパントシリコン膜を用いてもよい。

【0044】次に、ポリシリコン膜3をフォトリソグラフィ技術を用いて、図8の工程(B)に示すようにパターンニングし、画素スイッチング用TFT30の側にゲート電極(走査線3aの一部)を形成する。これに対して、定電位配線80との接続部分ではポリシリコン膜3を完全に除去する。なお、走査線3a(ゲート電極)の材料としては、金属膜や金属シリサイド膜等でもよいし、金属膜や金属シリサイド膜とポリシリコン膜とを組み合わせて多層にゲート電極を構成しても良い。特に、金属膜や金属シリサイド膜は遮光性を有するため、走査線3aを遮光膜として配線することで、ブラックマトリクスを省略することができる。これにより、対向基板と電気光学装置用基板との貼り合わせずれによる画素開口率の低下を防ぐことができる。

【0045】次に、図8の工程(C)に示すように、画素スイッチング用TFT30部および周辺駆動回路のNチャネルTFT部の側には、ゲート電極をマスクとして、約 $0.1 \times 10^{13} / \text{cm}^2$ ～約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン(リン等)19の打ち込みを行い、画素スイッチング用TFT部の側には、ゲート電極に対して自己整合的に低濃度ソース・ドレイン領域1b、1cを形成する。ここで、ゲート電極の下方に位置しているため、不純物イオンが導入されなかった部分は半導体層のままのチャネル領域1aとなる。このようにしてイオン打ち込みを行った際には、ゲート電極として形成されていたポリシリコン層にも不純物イオンが導入されるので、それはさらに導電化することになる。

【0046】次に、図8の工程(D)に示すように、画素スイッチング用TFT30部および周辺駆動回路のNチャネルTFT部の側には、ゲート電極より幅の広いレジストマスク21を形成して高濃度の不純物イオン(リン等)20を約 $0.1 \times 10^{15} / \text{cm}^2$ ～約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、高濃度のソース領域1dおよびドレイン領域1eを形成する。

【0047】これらの不純物導入工程に代えて、低濃度の不純物イオンの不純物イオンの打ち込みを行わずにゲート電極より幅の広いレジストマスクを形成した状態で高濃度の不純物イオン(リン等)を打ち込み、オフセット構造のソース領域およびドレイン領域を形成してもよい。また、ゲート電極をマスクとして高濃度の不純物イオン(リン等)を打ち込んで、セルフアライン構造のソース領域およびドレイン領域を形成してもよいことは勿論である。

【0048】また、図示を省略するが、周辺駆動回路のPチャネルTFT部を形成するために、画素スイッチング用TFT部およびNチャネルTFT部をレジストで被覆保護して、ゲート電極をマスクとして、約 $0.1 \times 1$



(8)

特開平12-098407

$0.15/\text{cm}^2 \sim 1.0 \times 10^{15}/\text{cm}^2$ のドーズ量でボロン等の不純物イオンを打ち込むことにより、自己整合的にPチャネルのソース・ドレイン領域を形成する。なお、画素TFT部および周辺駆動回路のNチャネルTFT部の形成と同様に、ゲート電極をマスクとして、約 $0.1 \times 10^{13}/\text{cm}^2 \sim 1.0 \times 10^{13}/\text{cm}^2$ のドーズ量で低濃度の不純物イオン（ボロン等）を導入して、ポリシリコン膜に低濃度ソース・ドレイン領域を形成した後、ゲート電極より幅の広いマスクを形成して高濃度の不純物イオン（ボロン等）を約 $0.1 \times 10^{15}/\text{cm}^2 \sim 1.0 \times 10^{15}/\text{cm}^2$ のドーズ量で打ち込み、LDD構造のソース領域およびドレイン領域を形成してもよい。また、低濃度の不純物イオンの打ち込みを行わずに、ゲート電極より幅の広いマスクを形成した状態で高濃度の不純物イオン（ボロン等）を打ち込み、オフセット構造のソース領域およびドレイン領域を形成してもよい。これらのイオン打ち込み工程によって、相補型TFTが可能になり、周辺駆動回路の同一基板内への内蔵化が可能となる。

【0049】次に、図8の工程(E)に示すように、ゲート電極の表面側に常圧CVD法や減圧CVD法等により、例えば $820^\circ\text{C}$ 程度の温度条件下で厚さが約5000オングストローム $\sim$ 約15000オングストロームのNSG膜（ボロンやリンを含まないシリケートガラス膜）や窒化シリコン膜等からなる第2層間絶縁膜4を形成する。そして、ソース・ドレイン領域に導入した不純物イオンを活性化するとともに、コンタクトホール81（図9の工程(A)参照）の形状異常を抑えるためにアニールを行う。このときのアニール温度は第2層間絶縁膜4の成膜温度以上の温度とする。例えば、第2層間絶縁膜4の成膜温度が $820^\circ\text{C}$ である場合には、その温度以上でアニールを行う。またアニール時間は第2層間絶縁膜4の成膜時間の1/2以上の時間、または10分間以上とする。

【0050】このような条件でアニールを行うことにより、アニール中に第1絶縁膜12が十分に収縮し、エッチング時の形状異常が発生しにくくなる。このため、コンタクトホール81内において定電位配線80が断線しにくくなる。とくに第1層間絶縁膜12がTEOSガス等を用いて成膜される場合等には、第1層間絶縁膜12中の炭素(C)や水( $\text{H}_2\text{O}$ )の含有量が多くなるため、加熱による収縮率が大きくなる。したがって、この場合にはとくにアニールを行うことの効果が大きくなる。

【0051】次に、定電位配線80との接続部分では、第1の遮光膜11aの配線部分に相当する領域にコンタクトホール4aを形成する。この際には、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより異方性のコンタクトホール4aを形成した方が開孔径をほぼマスクの寸法通りに形成できるた

め高精細化に有利である。また、ドライエッチングとウェットエッチングを組み合わせを行い、コンタクトホール4aをテーパー状に形成すると、配線接続時の断線防止に効果がある。

【0052】次に、図9の工程(A)に示すように、フォトリソグラフィ技術を用いて、画素スイッチング用TFT30部の側では第2層間絶縁膜4のうち、ソース領域に対応する部分にコンタクトホール5を形成する。また、定電位配線80との接続部分では、第1層間絶縁膜12に対して、コンタクトホール4aに接続するコンタクトホール12aを形成する。これにより、第1層間絶縁膜12および第2層間絶縁膜4を貫通するコンタクトホール81が形成される。

【0053】次に、図9の工程(B)に示すように、層間絶縁膜4の表面側に、データ線6a（ソース電極）を構成するためのアルミニウム膜6をスパッタ法などで形成する。アルミニウムなどの金属膜の他に、金属シリサイド膜や金属合金膜を用いてもよい。成膜されたアルミニウム膜6はコンタクトホール81を介して第1遮光膜11aと接続される。

【0054】次に、図9の工程(C)に示すように、フォトリソグラフィ技術を用いて、アルミニウム膜6をパターンニングし、画素スイッチング用TFT30部では、データ線6aの一部としてソース電極を形成する。一方、定電位配線80との接続部分では、アルミニウム膜6をパターンニングして定電位配線80を形成する。これにより第1遮光膜11aと定電位配線80とがコンタクトホール81を介して接続された状態となる。

【0055】次に、図9の工程(D)に示すように、ソース電極および定電位配線80の表面側に常圧CVD法や常圧オゾン-TEOS法等により、例えば $400^\circ\text{C}$ 程度の温度条件下で厚さが約500オングストローム $\sim$ 約15000オングストロームのBPSG膜（ボロンやリンを含むシリケートガラス膜）と、約100オングストローム $\sim$ 約3000オングストロームのNSG膜の少なくとも2層を含む第3層間絶縁膜7を形成する。また、有機膜等をスピコートにより塗布することで、段差形状のない平坦化膜を形成してもよい。

【0056】次に、図9の(E)に示すように、画素スイッチング用TFT30部の側では、フォトリソグラフィ技術およびドライエッチング法などを用いて、第2層間絶縁膜4および第3層間絶縁膜7のうち、高濃度ドレイン領域1aに対応する部分にコンタクトホール8を形成する。この際にも、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより異方性のコンタクトホール8を形成した方が、高精細化に有利である。また、ドライエッチングとウェットエッチングを組み合わせを行い、コンタクトホール8をテーパー状に形成すると、配線接続時の断線防止に効果がある。

(9)

特開平12-098407

【0057】次に、図10の工程(A)に示すように、第3層間絶縁膜7の表面側に、ドレイン電極を構成するための厚さが約400オングストローム～約2000オングストロームのITO膜9をスパッタ法などで形成した後、図10の工程(B)に示すように、フォトリソグラフィ技術を用いてITO膜9をパターニングし、画素スイッチング用TFT30部には画素電極9aを形成する。また、定電位配線80との接続部分ではITO膜9を完全に除去する。なお、画素電極9aの表面にはポリイミド等の配向膜16が形成され、ラビング処理される。画素電極9aとしては、ITO膜に限らず、SnO<sub>x</sub>膜やZnO<sub>x</sub>膜などの高融点の金属酸化膜などからなる透明電極材料を使用することも可能であり、これらの材料であれば、コンタクトホール8内でのステップカバレッジも実用に耐えるものである。また、反射型の電気光学装置を構成する場合には、画素電極9aとしてアルミニウム等の反射率の高い膜を形成する。

【0058】なお、図8の工程(E)および図9の工程(A)において、コンタクトホール5を形成する際に、定電位配線80との接続部分のコンタクトホール4aを同時形成してもよい。

【0059】(電気光学装置の全体構成) 以上のように構成された電気光学装置の各実施の形態の全体構成を図11及び図12を参照して説明する。尚、図11は、TFTアレレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図12は、対向基板20を含めて示す図13のH-H'断面図である。

【0060】図11において、TFTアレレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る周辺見切りとしての第2遮光膜53が設けられている。シール材52の外側の領域には、データ線駆動回路101及び実装端子102がTFTアレレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのなら、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画面表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画面表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画面表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレレイ基板10の残る一辺には、画面表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線1

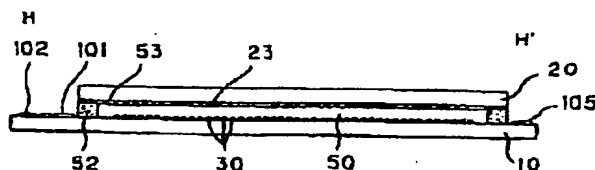
05が設けられており、更に、周辺見切りとしての第2遮光膜53の下にプリチャージ回路201(図4参照)が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレレイ基板10と対向基板20との間で電氣的導通をとるための導通材からなる銀点106が設けられている。そして、図12に示すように、図11に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレレイ基板10に固着されている。

【0061】以上図1から図12を参照して説明した各実施の形態における電気光学装置のTFTアレレイ基板10上には更に、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路101及び走査線駆動回路104をTFTアレレイ基板10の上に設ける代わりに、例えばTAB(テープオートメテッドボンディング基板)上に実装された駆動用LSIに、TFTアレレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレレイ基板10の出射光が出射する側には各々、例えば、TN(ツイステッドネマティック)モード、STN(スーパーTN)モード、D-STN(ダブル-STN)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0062】以上説明した各実施の形態における電気光学装置は、カラー液晶プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各電気光学装置には各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施の形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー電気光学装置に各実施の形態における電気光学装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0063】以上説明した各実施の形態における電気光学装置では、従来と同様に入射光を対向基板20の側か

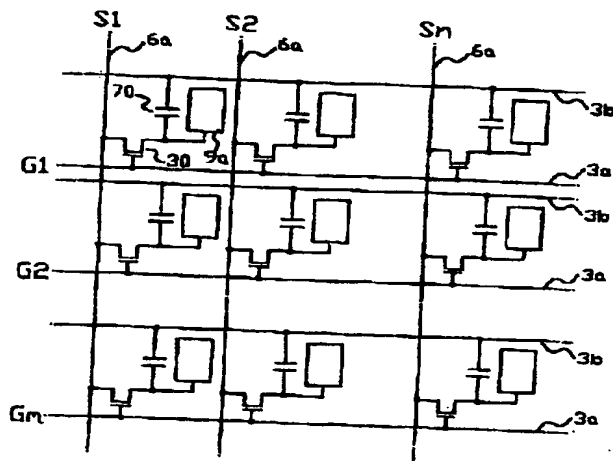
特開平12-098407



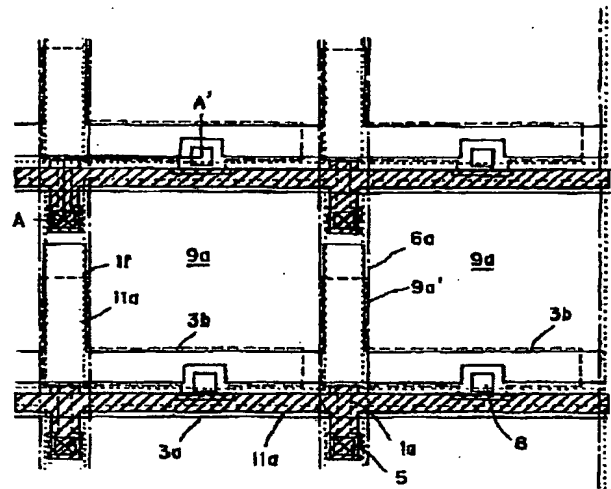
(11)

特開平12-098407

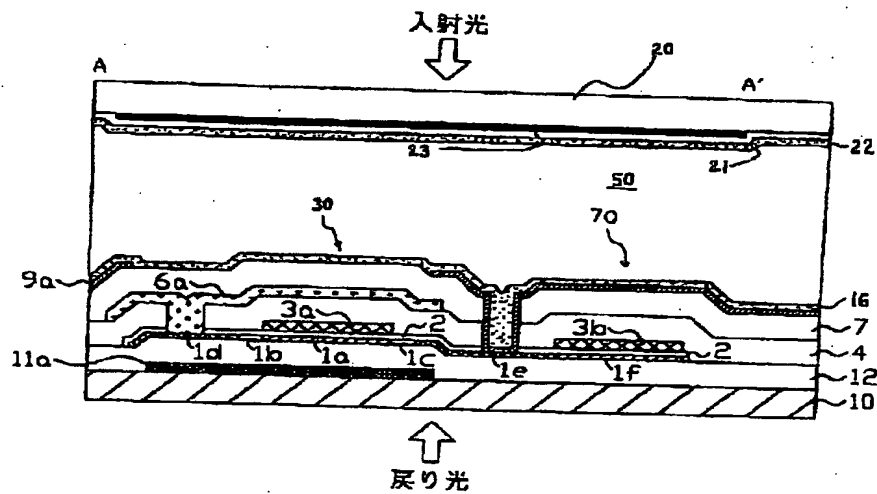
【図1】



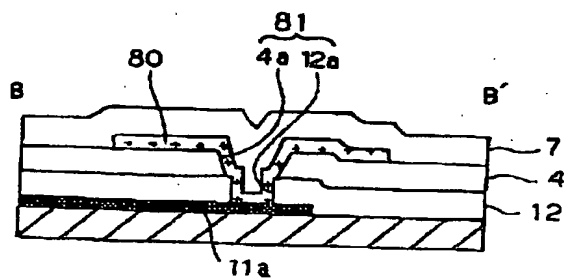
【図2】



【図3】



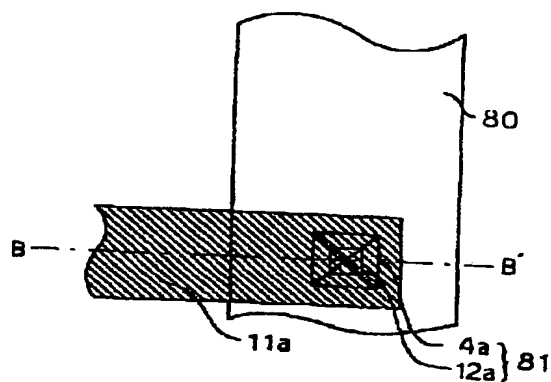
【図5】



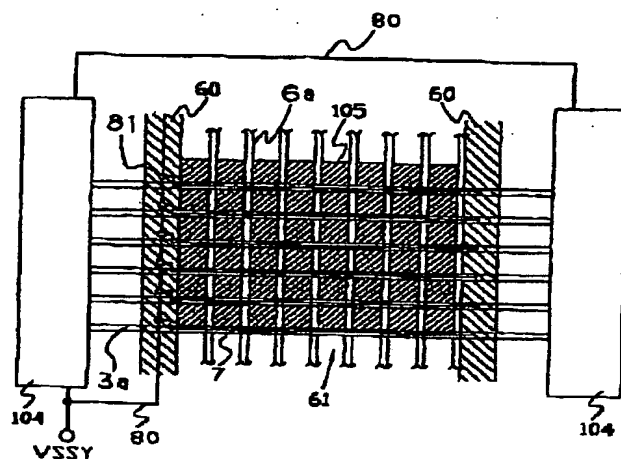
(12)

特開平12-098407

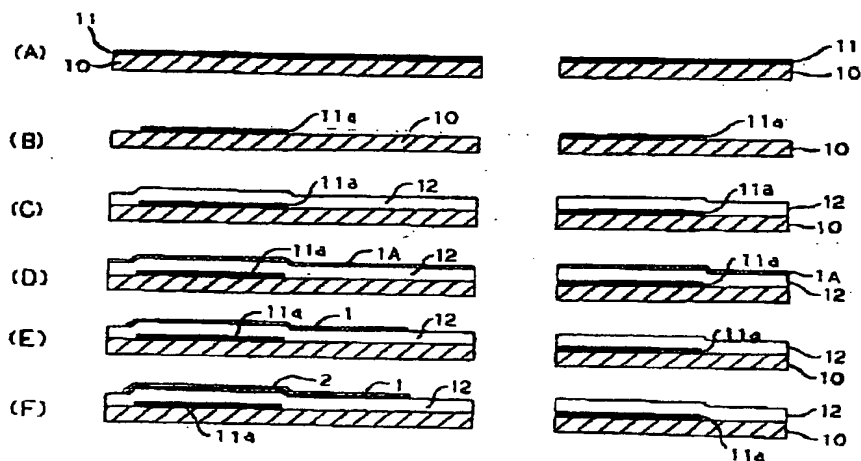
【図4】



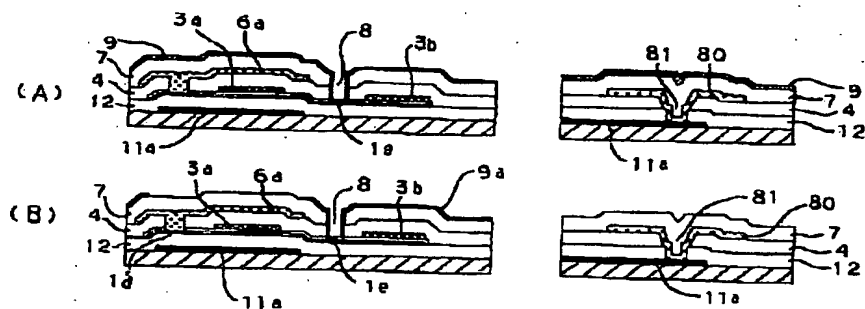
【図6】



【図7】



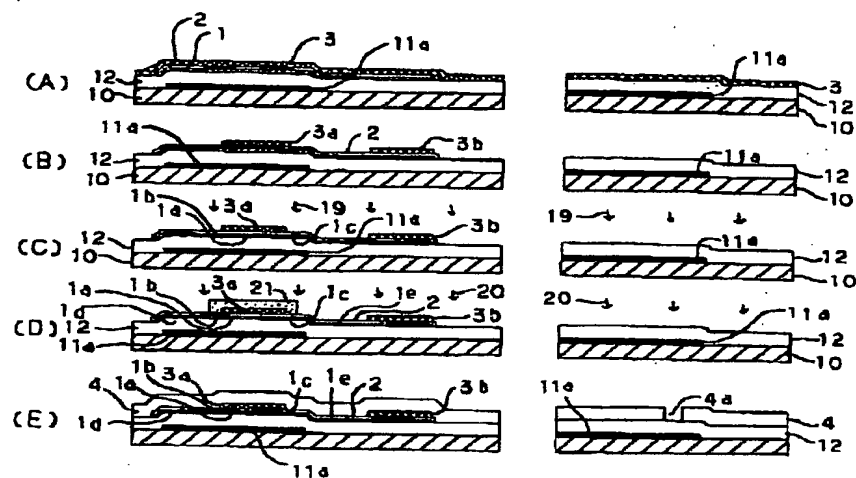
【図10】



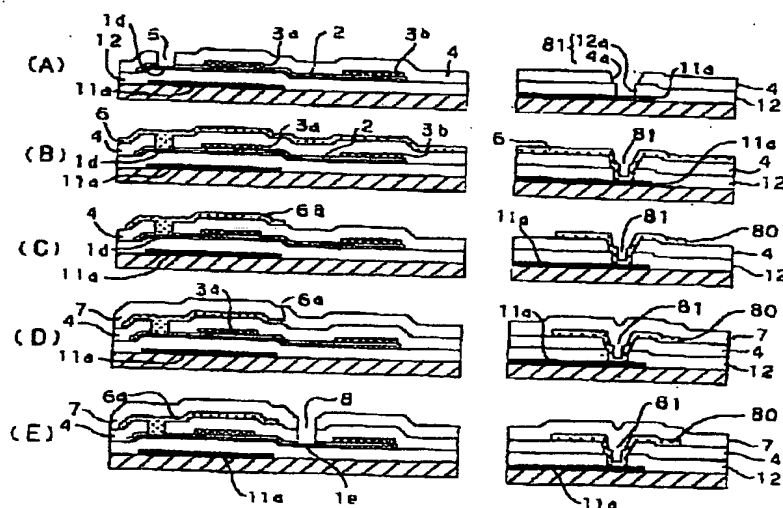
(13)

特開平12-098407

【図8】



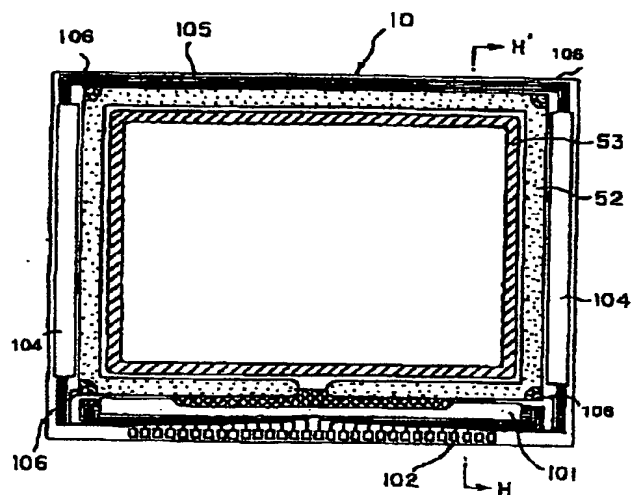
【図9】



(14)

特開平12-098407

【圖 1-1】



## フロントページの続き

Fターム(参考)	2H092	JA26	JA29	JA33	JA38	JA42
		JA44	JB13	JB23	JB32	JB33
		JB38	JB52	JB57	JB83	JB69
		KA04	KA07	KB12	KB13	MA05
		MA08	MA14	MA15	MA16	MA18
		MA19	MA20	MA25	MA27	MA30
		MA35	MA37	MA41	NA13	NA22
		NA25	NA27	NA29	PA06	PA09
		QA07				
	5C094	AA04	AA42	AA43	AA55	BA03
		BA43	CA19	DA15	DB10	EA04
		EA05	EA10	EB02	ED15	FA02
		FB02	FB15	GB10	JA20	